

DERWENT-ACC-NO: 1998-338219

DERWENT-WEEK: 199830

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Input-output processor for forwarding data between channel apparatus and main memory - includes first, second and third controllers which control updation of memory reply pointer, channel request pointer and memory request pointer, respectively

PATENT-ASSIGNEE: NIPPON DENKI ENG KK[NIDE]

PRIORITY-DATA: 1996JP-0274384 (October 17, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 10124438 A	May 15, 1998	N/A	009	G06F 013/12

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10124438A	N/A	1996JP-0274384	October 17, 1996

INT-CL (IPC): G06F013/12

ABSTRACTED-PUB-NO: JP 10124438A

BASIC-ABSTRACT:

The processor includes an assignment unit which assigns the connection information relevant to each channel apparatus, data forwarding rate and required data storage area. A buffer structure information storing unit (54-1) of a buffer management unit (5-1 - 5-n) stores the relative position of the assigned area in multiple data buffers (4).

A request generator (55-1) generates a memory request to a main memory. First, second and third controllers (57-1, 58-1, 56-1) controls updation of a memory reply pointer (52-1), a channel request pointer (53-1) and a memory request pointer (51-1), respectively.

ADVANTAGE - Connects high speed channel apparatus, efficiently. Improves

operativity.

CHOSEN-DRAWING: Dwg.2/7

TITLE-TERMS: INPUT OUTPUT PROCESSOR FORWARDING DATA CHANNEL
APPARATUS MAIN

MEMORY FIRST SECOND THIRD CONTROL CONTROL MEMORY
REPLY POINT

CHANNEL REQUEST POINT MEMORY REQUEST POINT RESPECTIVE

DERWENT-CLASS: T01

EPI-CODES: T01-H05A; T01-H05B2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-264423

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月15日

330G

(71)出願人 000232047
日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 押田 浩明
東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

The diagram illustrates the internal components of the memory request control circuit 3. It features three main input signals at the top: "リクエスト送出信号" (Request Output Signal), "リクエスト要求信号" (Request Request Signal), and "リタイア復帰信号" (Retire Return Signal). The circuit includes several processing blocks:

- メモリリクエスト生成部 (Memory Request Generation Unit) 55-1**: Receives the "リクエスト要求信号" and outputs "MRQP" and "CROP N".
- メモリリクエスト送出制御部 (Memory Request Output Control Unit) 56-1**: Receives the "リクエスト送出信号" and "MRQP". It controls a counter (+1) and an "NRQP" output.
- メモリリクエストリタイア復帰制御部 (Memory Request Retire Return Control Unit) 57-1**: Receives the "リタイア復帰信号" and "MRQP". It controls another counter (+1) and an "MRPP" output.
- データ転送要求受付制御部 (Data Transfer Request Reception Control Unit) 58-1**: Receives "MRQP" and "CROP N". It controls a third counter (+1) and a "CROP" output.
- バッファ管理情報格納部 (Buffer Management Information Storage Unit) 54-1**: A register storing "From アロケーション部6" information, divided into "BL" and "N" fields.
- バッファ管理回路 (Buffer Management Circuit) 5-2**: Consists of three adders (59-1, 60-1, 61-1) that combine inputs from "MRQP", "MRPP", or "CROP" with "BL" values from the storage unit.

Output signals at the bottom include "データ転送要求信号" (Data Transfer Request Signal), "データ転送要求受付信号" (Data Transfer Request Reception Signal), and "リクエスト制御部7" (Request Control Unit 7).

【特許請求の範囲】

【請求項1】 各々複数の入出力装置に接続された複数のチャンネル装置と主記憶装置との間のデータ転送に用いられるデータバッファを含む入出力処理装置であって、前記複数のチャンネル装置各々の接続情報及び転送レートを基に前記データバッファにおいて前記複数のチャンネル装置各々の前記データ転送に必要な領域を割当てる割当て手段と、

前記複数のチャンネル装置各々の前記割当て手段で割当てられた割当て領域及び当該割当て領域の前記データバッファにおける相対位置を格納する格納手段と、前記格納手段の格納内容を基に前記データ転送時に前記データバッファの読出し書込みを制御する制御手段と、を有することを特徴とする入出力処理装置。

【請求項2】 前記割当て手段は、前記データ転送の速度が速い高速なチャンネル装置に大きな領域を割当てるよう構成したことを特徴とする請求項1記載の入出力処理装置。

【請求項3】 前記制御手段は、前記主記憶装置に読出し書込み要求を送出した回数を計数する第1の計数手段と、前記読出し書込み要求に対する前記主記憶装置からの応答を受信した回数を計数する第2の計数手段と、前記チャンネル装置からのデータ転送要求を受付けた回数を計数する第3の計数手段と、前記格納手段の格納内容と前記第1の計数手段の計数値と前記第2の計数手段の計数値と前記第3の計数手段の計数値とを基に前記データバッファに対して読出しアドレス及び書込みアドレスを生成する生成手段とを前記複数のチャンネル装置各々に対応して有することを特徴とする請求項1または請求項2記載の入出力処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は入出力処理装置に関し、特にチャンネル装置配下に接続された各種入出力装置と主記憶装置との間のデータ転送に関する。

【0002】

【従来の技術】従来、この種のデータ転送を行うための入出力処理装置においては、システムバス経由で主記憶装置に接続され、チャンネルバス経由で複数のチャンネル装置各々に接続されており、複数のチャンネル装置各々からのデータ転送要求に応じて複数のチャンネル装置各々と主記憶装置との間のデータ転送を行っている。

【0003】また、入出力処理装置はデータ転送の指示を起動するプロセッサ部と、主記憶装置と複数のチャンネル装置との間で行う転送データのバッファリングを行うためのデータバッファ（各チャンネル装置対応に均一なサイズが割当てられている）と、そのデータバッファの管理を行うバッファ管理部と、複数のチャンネル装置からのデータ転送要求を調停するためのリクエスト調停部と、主記憶装置へのインタフェースを制御するメモリインタ

フェース制御部とを備えている。バッファ管理部は各チャンネル装置毎に独立した回路で構成されており、データバッファの状態を管理する情報を保持している。

【0004】入出力処理装置は各チャンネル装置からのデータ転送要求をリクエスト調停部にて調停し、そのデータ転送要求のデータ転送方向に応じてバッファ管理部を制御してデータ転送を行う。また、入出力処理装置のデータバッファはチャンネル装置との間の転送速度と主記憶装置間の転送速度との違いから生ずるロス（バッファビジーやデータ待ち等で生ずる待ち時間）を低減させる目的でデータ転送サイズ（ブロック）の2倍のバッファで構成されている。

【0005】そのため、入出力処理装置は各チャンネル装置対応に均一なサイズが割当てられた2個のブロックバッファに対してそのデータを管理できるような情報を保持している。この管理手段のための情報としては色々な手段が存在するが、2個のブロックバッファを交互に用いる制御方法はいずれも同一である。

【0006】

【発明が解決しようとする課題】上述した従来の入出力処理装置では、チャンネル装置毎に割当てられているブロックバッファ数がハードウェア的に2個と固定で設定されている。これは、従来の入出力装置を接続するには十分な容量である。

【0007】しかしながら、最近の入出力装置の高速化に伴ってチャンネル装置の高速化が図られ、入出力処理装置もそのチャンネル装置に耐えうる転送能力が要求されるようになってきているが、主記憶装置間のアクセスタイムの著しい向上が望めない状況下でこの要求を満たすためには入出力処理装置に多くのデータをバッファリングできるような大量のブロックバッファが各チャンネル装置毎に必要となる。

【0008】そのため、複数のチャンネル装置が接続される入出力処理装置においては全てのチャンネル装置対応に大量のブロックバッファを持つと、ハードウェア量が大きくなりすぎてコスト的に高価なものになってしまう。また、高速動作する必要のあるチャンネル本数は限られており、かつ高速動作のチャンネル装置が接続される場合にはチャンネルの接続本数も制限（意図的に未接続とする）されるようになっている。

【0009】したがって、全てのチャンネル装置対応に大量のブロックバッファを持っても、低速チャンネル装置が接続されたり、チャンネル装置が未接続の部分がある場合にはその性能を発揮できないばかりでなく、機能的にもコスト的にも無駄が大きい装置となってしまふ。

【0010】そこで、本発明の目的は上記の問題点を解消し、機能的にもコスト的にも無駄を生ずることなく、高速チャンネル装置の接続が可能な入出力処理装置を提供することにある。

【0011】

【課題を解決するための手段】本発明による入出力処理装置は、各々複数の入出力装置に接続された複数のチャネル装置と主記憶装置との間のデータ転送に用いられるデータバッファを含む入出力処理装置であって、前記複数のチャネル装置各々の接続情報及び転送レートを基に前記データバッファにおいて前記複数のチャネル装置各々の前記データ転送に必要な領域を割当てる割当て手段と、前記複数のチャネル装置各々の前記割当て手段で割当てられた割当て領域及び当該割当て領域の前記データバッファにおける相対位置を格納する格納手段と、前記格納手段の格納内容を基に前記データ転送時に前記データバッファの読出し書込みを制御する制御手段とを備えている。

【0012】すなわち、本発明ではバッファ管理部に各チャネル装置対応に割当てるブロックバッファ数とその割当て領域のデータバッファにおける相対位置とを格納するバッファ構成情報格納部を新たに設け、バッファ構成情報格納部の内容をプロセッサ部からフレキシブルに設定可能としている。これによって、各チャネル装置に割当てるデータバッファ容量を可変とすることができるため、機能的にもコスト的にも無駄を生ずることなく、より高速なチャネル装置の接続が容易になる。

【0013】また、プロセッサ部は入出力処理装置に接続された複数のチャネル装置の存在情報及び転送レートを判断し、各チャネル装置に必要と想定されるブロックバッファの構成を求め、新たに設けたバッファ構成情報格納部へ設定する。この時、物理的に存在しないチャネル装置にはブロックバッファを割当てないことで無駄なハードウェア資源の浪費を抑えると同時に、高速化が要求されるチャネル装置に対しては大量のブロックバッファを割当てることで、限られたハードウェア資源の有効活用とデータ転送の高速化とを実現する。

【0014】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例の構成を示すブロック図である。図において、入出力処理装置2はシステムバス100経由で主記憶装置1に接続され、チャネルバス101経由で複数のチャネル装置8-1～8-nに接続されている。

【0015】入出力処理装置2は主にメモリインタフェース制御部3と、データバッファ4と、バッファ管理部5と、プロセッサ部6と、リクエスト調停部7とから構成されている。

【0016】入出力処理装置3におけるチャネル装置8-1～8-nと主記憶装置1との間のデータ転送はプロセッサ部6によって起動される。プロセッサ部6によってデータ転送が起動されると、チャネル装置8-1～8-nからデータ転送要求が発生する。リクエスト調停部7はチャネル装置8-1～8-nから発生したデータ転送要求を調停し、バッファ管理部5内の情報に基づいて

データ転送要求を受付ける。

【0017】バッファ管理部5はチャネル装置8-1～8-n各々に対応して割当てられたデータバッファ4の状態（バッファビジーやデータ待ち）を管理しており、主記憶装置1に対するメモリアクセスリクエストの発行要求を生成する。データバッファ4は主記憶装置1とチャネル装置8-1～8-nとの間の転送速度の違いから生ずるロスを低減させるためにデータを一時的にバッファリングする。

10 【0018】メモリインタフェース制御部3はバッファ管理部5からの要求に基づいて主記憶装置1へのメモリアクセスリクエストを発行し、そのリクエストに対する主記憶装置1からの応答であるリアライデータの受信処理を行う。

【0019】図2は図1のバッファ管理部5の構成を示すブロック図である。図において、バッファ管理部5は各チャネル装置8-1～8-n対応に独立したバッファ管理回路5-1～5-nから構成されている。

20 【0020】バッファ管理回路5-1～5-n各々はメモリリクエストポインタ（以下、MRQPとする）51-1～51-n（MRQP51-2～51-nは図示せず）と、メモリリアライポインタ（以下、MRPPとする）52-1～52-n（MRPP52-2～52-nは図示せず）と、チャネルリクエストポインタ（以下、CRQPとする）53-1～53-n（CRQP53-2～53-nは図示せず）と、バッファ構成情報格納部54-1～54-n（バッファ構成情報格納部54-2～54-nは図示せず）と、メモリリクエスト生成部55-1～55-n（メモリリクエスト生成部55-2～55-nは図示せず）と、メモリリクエスト送出制御部56-1～56-n（メモリリクエスト送出制御部56-2～56-nは図示せず）と、メモリリクエストリアライ受信制御部57-1～57-n（メモリリクエストリアライ受信制御部57-2～57-nは図示せず）と、データ転送要求受付制御部58-1～58-n（データ転送要求受付制御部58-2～58-nは図示せず）と、MRQP加算器59-1～59-n（MRQP加算器59-2～59-nは図示せず）と、MRPP加算器60-1～60-n（MRPP加算器60-2～60-nは図示せず）と、CRQP加算器61-1～61-n（CRQP加算器61-2～61-nは図示せず）とから構成されている。

【0021】MRQP51-1～51-n、MRPP52-1～52-n、CRQP53-1～53-n各々は割り振られたN個のブロックバッファに対してデータ管理を行うためのポインタである。バッファ構成情報格納部54-1～54-nはブロックバッファ数Nと割当てられたブロックバッファのデータバッファ4内の相対位置BLとを保持する。

50 【0022】メモリリクエスト生成部55-1～55-

nは主記憶装置1へのメモリリクエスト要求を生成する。メモリリクエスト送出制御部56-1~56-nはMRQP51-1~51-nの更新を制御し、メモリリクエストリプライ受信制御部57-1~57-nはMRPP52-1~52-nの更新を制御し、データ転送要求受付制御部58-1~58-nはCRQP53-1~53-nの更新を制御する。

【0023】MRQP加算器59-1~59-n、MRPP加算器60-1~60-n、CRQP加算器61-1~61-nは夫々データバッファ4における読出し/書込みアドレスを算出するための演算器である。

【0024】図3は図2のバッファ構成情報格納部54-1~54-nと図1のデータバッファ4との関係を示す図であり、図4は図2のバッファ構成情報格納部54-1~54-nへの設定例を示す図である。

【0025】上記の入出力処理装置2の特徴はバッファ管理部5の制御方式にある。以下、バッファ管理部5の動作説明を図1~図4を参照して説明する。

【0026】図3において、バッファ構成情報格納部54-1~54-nに格納されたデータバッファ内相対位置BLは該チャネルのデータバッファとしてアサインされているブロックの先頭アドレスを示し、ブロックバッファ数Nは該チャネルにアサインされているブロックサイズを示している。これらデータバッファ内相対位置BL及びブロックバッファ数Nは入出力処理装置2のプロセッサ部6によって設定される。

【0027】バッファ管理回路5-1~5-nのMRQP51-1~51-nと、MRPP52-1~52-nと、CRQP53-1~53-nと、メモリリクエスト送出制御部56-1~56-nと、メモリリクエストリプライ受信制御部57-1~57-nと、データ転送要求受付制御部58-1~58-nとは夫々以下のように動作する。

【0028】MRQP51-1~51-nは主記憶装置1に発行したメモリリクエストの回数をカウントするポインタで、主記憶装置1にメモリリクエストを送出した際にインクリメントされる。MRQP51-1~51-nの更新条件はメモリリクエスト生成部55-1~55-nにて生じたリクエスト要求信号がメモリインタフェース制御部3にて処理されたことによって生ずるリクエスト送出信号を受信した際にメモリリクエスト送出制御部56-1~56-nによって生成される。

【0029】MRPP52-1~52-nは主記憶装置1にメモリリクエストを発行した際に、主記憶装置1から受取ったリプライ（応答）の回数をカウントするポインタで、リプライ受信時にインクリメントされる。MRPP52-1~52-nの更新条件はメモリインタフェース制御部3にてメモリリクエストに対するリプライデータを受信したことによって生ずるリプライ受信信号を受信した際にメモリリクエストリプライ受信制御部57

-1~57-nによって生成される。

【0030】CRQP53-1~53-nはチャネル装置8-1~8-nから受付けたデータ転送要求の回数をカウントするポインタで、データ転送要求受付制御部58-1~58-nがリクエスト調停部7からデータ転送要求信号を受信し、それに対するデータ転送要求受付信号を発行した際にインクリメントされる。

【0031】これらMRQP51-1~51-nとMRPP52-1~52-nとCRQP53-1~53-nとは夫々プロセッサ部6からのデータ転送開始指示によって0クリアされ、その後にメモリリクエスト送出制御部56-1~56-nとメモリリクエストリプライ受信制御部57-1~57-nとデータ転送要求受付制御部58-1~58-nとが夫々生成する更新条件に基づいてインクリメントされるが、インクリメントした結果、バッファ構成情報格納部54-1~54-nに設定されたブロックバッファ数Nに等しくなった時に0に戻るよう制御される。尚、これらMRQP51-1~51-nとMRPP52-1~52-nとCRQP53-1~53-nとは夫々チャネル装置8-1~8-n各々に対応して割当てられた領域内を循環するように、データバッファ4のアドレスを生成する。

【0032】データバッファ4の書込み/読出しに用いるアドレスはMRQP51-1~51-n、MRPP52-1~52-n、CRQP53-1~53-n各々の値とバッファ構成情報格納部54-1~54-n内のデータバッファ内相対位置BLとの加算によって求められ、バッファ管理回路5-1~5-nのMRQP加算器59-1~59-nとMRPP加算器60-1~60-nとCRQP加算器61-1~61-nとによって算出される。

【0033】次に、バッファ管理部5を中心とした動作説明を行う。プロセッサ部6は入出力処理装置2を初期化する際に、入出力処理装置2に接続されたチャネル装置8-1~8-nの実装情報を参照し、接続チャネルの有無を確認するとともに、接続されたチャネル装置8-1~8-n各々の転送レートを読出し、各チャネル装置8-1~8-n毎に割付けるブロックバッファ数を算出する。

【0034】このブロックバッファ数の算出にあたっては、接続されたチャネル装置8-1~8-n各々の転送レートに対する必要なブロックバッファ数の関係が予めプロセッサ部6のプログラムデータにテーブルとして与えられているものとする。ここで得たチャネル装置8-1~8-n毎に必要なブロックバッファ数Nとデータバッファ4内の相対位置BL（チャネル装置8-1~8-n毎に割当てるブロックバッファの先頭位置）とをバッファ管理回路5-1~5-n内に設けたバッファ構成情報格納部54-1~54-nに設定する。その設定例を図4に示す。但し、本発明の一実施例ではハードウェア

構成を簡略化するため、ブロックバッファ数は 2^m ($m=1, 2, 3, 4$)とする。したがって、ブロックバッファ数は最小2個で、最大16個となる。

【0035】図4において、低速チャンネルのチャンネル番号#00にはブロックバッファ数を2個割当てており、その相対位置BLは「0」である。また、低速チャンネルのチャンネル番号#01にはブロックバッファ数を2個割当てており、その相対位置BLは「2」である。さらに、高速チャンネルのチャンネル番号#03にはブロックバッファ数を8個割当てており、その相対位置BLは「4」である。さらにまた、低速チャンネルのチャンネル番号#04にはブロックバッファ数を2個割当てており、その相対位置BLは「12」である。但し、未実装のチャンネル番号#02にはブロックバッファ数は割当てられない。

【0036】上記のように、プロセッサ部6はチャンネル番号の若い番号からブロックバッファ数を算出し、データバッファ4の先頭から随時割当てていく。また、プロセッサ部6は高速なチャンネルになればなるほど割当てるバッファサイズを大きく設定する。これは高速なチャンネルになるほど、チャンネル装置8-1~8-nからのデータ転送要求の発生間隔が短くなるため、割当てるブロックバッファ数が少ないとチャンネル装置8-1~8-nとの間の転送速度と主記憶装置1間の転送速度との違いから生ずるロスが大きくなって性能の低下が生ずるからである。

【0037】図5は本発明の一実施例におけるチャンネルからのデータ転送要求間隔とブロックバッファ数との関係を示す図であり、図6及び図7は従来例におけるチャンネルからのデータ転送要求間隔とブロックバッファ数との関係を示す図である。

【0038】図5は本発明の一実施例において、高速のチャンネル装置に対して4つのブロックバッファを割当てた場合の動作を示している。本発明の一実施例ではブロックバッファ数を大きく割当てること、高速のチャンネル装置による発行間隔の短いデータ転送要求に対しても追従することができるので、性能低下が発生しない。

【0039】図6は従来の低速のチャンネル装置における動作を示しており、2つのブロックバッファを交互に使用することで、メモリリクエストによる転送速度の差を吸収している。図7はデータ転送間隔の短い高速のチャンネル装置にて2つのブロックバッファを交互に使用した場合の動作を示している。この場合、2つのブロックバッファではメモリアクセスによる処理がチャンネルからのデータ転送要求に追従することができず、データビジーやデータ待ちのロスが生じて性能が低下してしまう。

【0040】バッファ管理部5の動作はそのデータ転送要求の転送方向（つまり、主記憶装置1からチャンネル装置8-1~8-nにデータを転送する方向及びチャンネル装置8-1~8-nから主記憶装置1にデータを転送す

る方向）によって多少異なるため、夫々の転送方向毎に以下の通り示す。尚、以下の説明ではチャンネル装置5及び主記憶装置1において、1回のリクエストで処理されるデータ転送サイズ（ブロック）は同一とする。

【0041】入力転送（チャンネル装置8-1~8-nから主記憶装置1への転送）の場合、バッファ管理回路5-1~5-nのデータ転送要求受付制御部58-1~58-nはリクエスト調停部7からのデータ転送要求信号を受信すると、データバッファ4の空き情報をCRPP53-1~53-nの値とMRPP52-1~52-nの値とから判断し、データバッファ4に空きがあるようならばデータ転送要求信号を受付ける。データ転送要求受付制御部58-1~58-nはチャンネル装置8-1~8-nから転送データを受信すると、その転送データをデータバッファ4に格納してデータ転送要求受付信号を発行するとともに、CRQP53-1~53-nをインクリメントする。

【0042】また、バッファ管理回路5-1~5-nのメモリリクエスト生成部55-1~55-nでは更新されたCRQP53-1~53-nの値とMRQP51-1~51-nの値との差分を判定し、差分が生じている場合には主記憶装置1にメモリライトリクエストを発行するためにリクエスト要求信号を生成する。

【0043】メモリリクエスト送出制御部56-1~56-nは生成したリクエスト要求信号がメモリインタフェース制御部3に受け付けられたことを示すリクエスト送出信号を受信したら、転送データをデータバッファ4から読出し、MRQP51-1~51-nをインクリメントする。その後、メモリリクエストリプライ受信制御部57-1~57-nは主記憶装置1に発行したメモリライトリクエストに対するリプライデータを受信し、メモリインタフェース制御部3からリプライ受信信号を受信したらMRPP52-1~52-nをインクリメントする。

【0044】チャンネル装置8-1~8-nからデータ転送要求を受付ける際に、以前のデータ転送要求のデータの主記憶装置1への書き込みがまだ完了していない（空きが無い）状態が発生することがある。この場合、バッファビジーと判断し、バッファが空くのを待ち合わせた後にデータ転送を行う。バッファビジーにて転送待ちの間はチャンネル装置8-1~8-n間のデータ転送は停止する。

【0045】入力転送におけるバッファ管理部5の動作をまとめると、主記憶装置1へのリクエスト発行条件は「CRQP53-1~53-nの値>MRQP51-1~51-nの値」となり、チャンネル装置8-1~8-nからのデータ転送要求の受け付け可能条件は「(CRQP53-1~53-nの値)-(MRPP52-1~52-nの値)<N(N=ブロックバッファ数)」となる。

【0046】また、データバッファ4のアドレス制御と

しては、読出しアドレスが「データバッファ内相対位置BLとMRQP51-1~51-nの値との加算値」

(MRQP加算器59-1~59-n)となり、書込みアドレスが「データバッファ内相対位置BLとCRQP53-1~53-nの値との加算値」(CRQP加算器61-1~61-nの出力)となる。

【0047】一方、出力転送(主記憶装置1からチャネル装置8-1~8-nへの転送)の場合、バッファ管理回路5-1~5-nのメモリリクエスト生成部55-1~55-nはチャネル装置8-1~8-nからのデータ転送要求に関わらずブロックバッファの空き状態をMRQP51-1~51-nの値とCRQP53-1~53-nの値とから判断し、空きが存在する場合には転送データの先取り処理(主記憶装置1からの先行データ読出し)を行う。

【0048】バッファ管理回路5-1~5-nのメモリリクエスト生成部55-1~55-nはデータの先取り処理として主記憶装置1にメモリリードリクエストを発行するためにリクエスト要求信号を生成する。メモリリクエスト送出制御部56-1~56-nは生成したリクエスト要求信号がメモリインタフェース制御部3に受けられたことを示すリクエスト送出信号を受信したら、MRQP51-1~51-nをインクリメントする。

【0049】その後、メモリリクエストリブライ受信制御部57-1~57-nはメモリインタフェース制御部3から主記憶装置1に発行したメモリリードリクエストに対するリブライデータを受信したことを示すリブライ受信信号を受信したら、転送データをデータバッファ4に格納し、MRPP52-1~52-nをインクリメントする。

【0050】バッファ管理回路5-1~5-nのデータ転送要求受付制御部58-1~58-nではリクエスト調停部7からのデータ転送要求を受付ける際に、先取り処理において転送すべきデータがデータバッファ4に準備されているかをMRPP52-1~52-nの値とCRQP53-1~53-nの値とから判断し、データが既に準備できている(先取り済み)場合にはリクエスト調停部7からの転送要求信号を受け、データバッファ4からチャネル装置8-1~8-nへの転送データを読出して送出し、データ転送要求受付信号を発行するとともにCRQP53-1~53-nをインクリメントする。チャネル装置8-1~8-nへ送出すべきデータが準備できていない場合には先取り処理によって転送データが準備されるのを待ち合わせた後、データ転送を行う。

【0051】尚、バッファ管理回路5-1~5-nのメモリリクエスト生成部55-1~55-nはチャネル装置8-1~8-nに有効なデータを転送した際に生じたデータバッファ4の空きブロックに対して直ぐに次の転送データの先取り処理を実施する。

【0052】出力転送でのバッファ管理部5の動作をまとめると、主記憶装置1への先取りリクエスト発行条件は「(MRQP51-1~51-nの値)-(CRQP53-1~53-nの値)<N(N=ブロックバッファ数)」となり、チャネル装置8-1~8-nからのデータ転送要求の受け付け可能条件は「MRPP52-1~52-nの値>CRQP53-1~53-nの値」となる。

【0053】また、データバッファ4のアドレス制御としては、読出しアドレスが「データバッファ内相対位置BLとCRQP53-1~53-nの値との加算値」(CRQP加算器61-1~61-nの出力)となり、書込みアドレスが「データバッファ内相対位置BLとMRPP52-1~52-nの値との加算値」(MRPP加算器60-1~60-nの出力)となる。

【0054】以上のように、従来装置におけるバッファ管理部の論理構成を変更することで合理的なバッファ拡張を行うことができるため、コスト面でも優れた方法で高速チャネル装置の接続を行うことができる。

【0055】このように、複数のチャネル装置8-1~8-n各々の接続情報及び転送レートを基にデータバッファ4において複数のチャネル装置8-1~8-n各々のデータ転送に必要な領域を割当て、この割当て領域(ブロックバッファ数)及び当該割当て領域のデータバッファ4における相対位置BLをバッファ管理回路5-1~5-nのバッファ構成情報格納部54-1~54-nに格納しておき、その格納内容を基にデータ転送時にデータバッファ4の読出し書込みを制御することによって、チャネル装置8-1~8-n対応にブロックバッファのサイズを可変することができ、ブロックバッファの拡張が必要最小限となるので、少ないハードウェア量で高速チャネルの接続が可能となり、コスト面でも優れたシステムを構築することができる。よって、機能的にもコスト的にも無駄を生ずることなく、高速チャネル装置の接続が可能な入出力処理装置2を提供することができる。

【0056】尚、請求項の記載に関連して本発明はさらに次の態様をとりうる。

【0057】(1) 各々複数の入出力装置に接続された複数のチャネル装置と主記憶装置との間のデータ転送に用いられかつ各々予め設定された容量の複数のブロックバッファからなるデータバッファを含む入出力処理装置であって、前記複数のチャネル装置各々の接続情報及び転送レートを基に前記複数のチャネル装置各々の前記データ転送に必要なブロックバッファ数を割当てる割当て手段と、前記複数のチャネル装置各々の前記割当て手段で割当てられたブロックバッファ数及びその割当てられた領域の相対位置を格納する格納手段と、前記格納手段の格納内容を基に前記データ転送時に前記データバッファの読出し書込みを制御する制御手段と、を有すること

を特徴とする入出力処理装置。

【0058】(2)前記割当て手段は、前記データ転送の速度が速い高速なチャネル装置に多数のブロックバッファ数を割当てよう構成したことを特徴とする(1)記載の入出力処理装置。

【0059】(3)前記制御手段は、前記主記憶装置に読出し書込み要求を送出した回数を計数する第1の計数手段と、前記読出し書込み要求に対する前記主記憶装置からの応答を受信した回数を計数する第2の計数手段と、前記チャネル装置からのデータ転送要求を受付けた回数を計数する第3の計数手段と、前記格納手段の格納内容と前記第1の計数手段の計数値と前記第2の計数手段の計数値と前記第3の計数手段の計数値とを基に前記データバッファに対して読出しアドレス及び書込みアドレスを生成する生成手段とを前記複数のチャネル装置各々に対応して有することを特徴とする(1)または(2)記載の入出力処理装置。

【0060】

【発明の効果】以上説明したように本発明によれば、複数のチャネル装置各々の接続情報及び転送レートを基にデータバッファにおいて複数のチャネル装置各々のデータ転送に必要な領域を割当て、この割当て領域及び当該割当て領域のデータバッファにおける相対位置を格納しておき、その格納内容を基にデータ転送時にデータバッファの読出し書込みを制御することによって、機能的にもコスト的にも無駄を生ずることなく、高速チャネル装置の接続を可能とすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1のバッファ管理部の構成を示すブロック図である。

【図3】図2のバッファ構成情報格納部と図1のデータバッファとの関係を示す図である。

【図4】図2のバッファ構成情報格納部への設定例を示す図である。

【図5】本発明の一実施例におけるチャネルからのデータ転送要求間隔とブロックバッファ数との関係を示す図である。

【図6】従来例におけるチャネルからのデータ転送要求間隔とブロックバッファ数との関係を示す図である。

【図7】従来例におけるチャネルからのデータ転送要求間隔とブロックバッファ数との関係を示す図である。

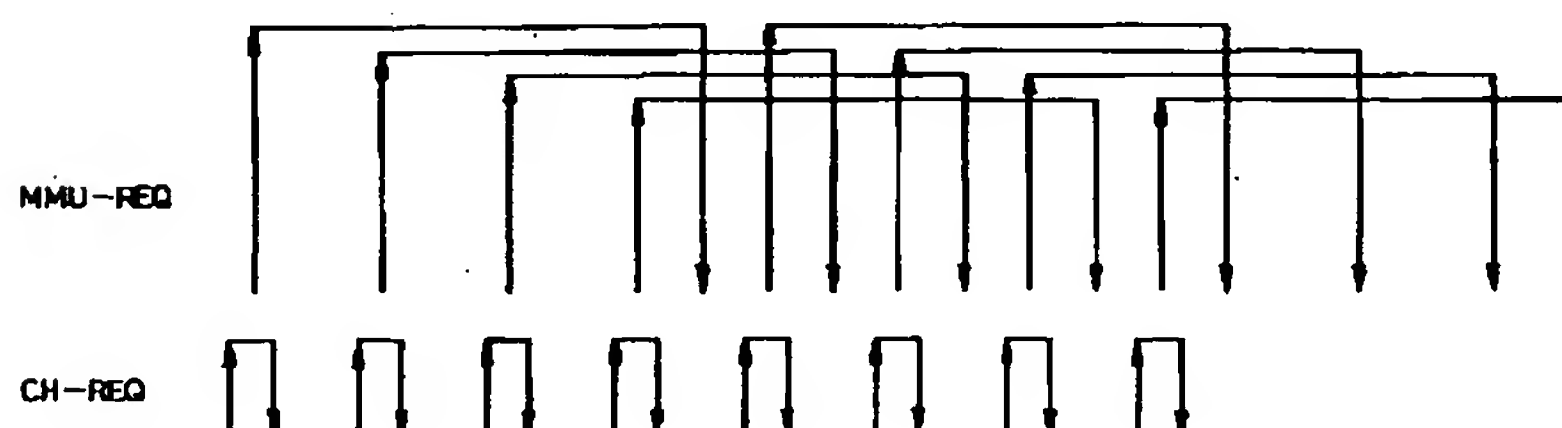
【符号の説明】

- 1 主記憶装置
- 2 入出力処理装置
- 3 メモリインタフェース制御部
- 4 データバッファ
- 5 バッファ管理部
- 6 プロセッサ部
- 7 リクエスト調停部
- 20 8-1~8-n チャネル装置
- 51-1 メモリリクエストポインタ
- 52-1 メモリアライポインタ
- 53-1 チャネルリクエストポインタ
- 54-1 バッファ構成情報格納部
- 55-1 メモリリクエスト生成部
- 56-1 メモリリクエスト送出制御部
- 57-1 メモリリクエストリブライ受信制御部
- 58-1 データ転送要求受付制御部
- 59-1 MRQP加算器
- 30 60-1 MRPP加算器
- 61-1 CRQP加算器

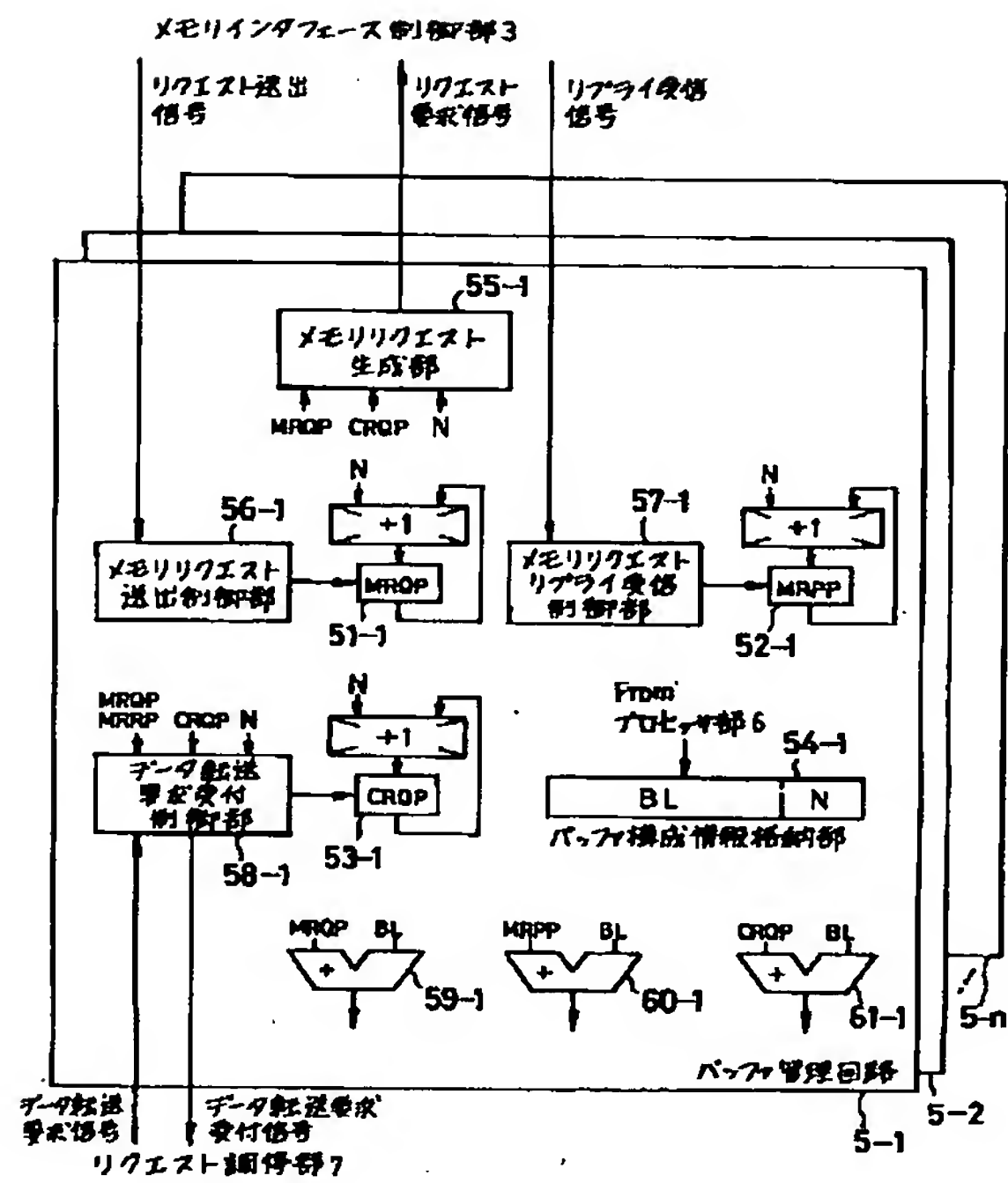
【図4】

チャネル番号	ブロックバッファ数	相対位置	備考
#00	2	0	低速チャネル
#01	2	2	低速チャネル
#02	0	Don't care	未実装
#03	8	4	高速チャネル
#04	2	12	低速チャネル

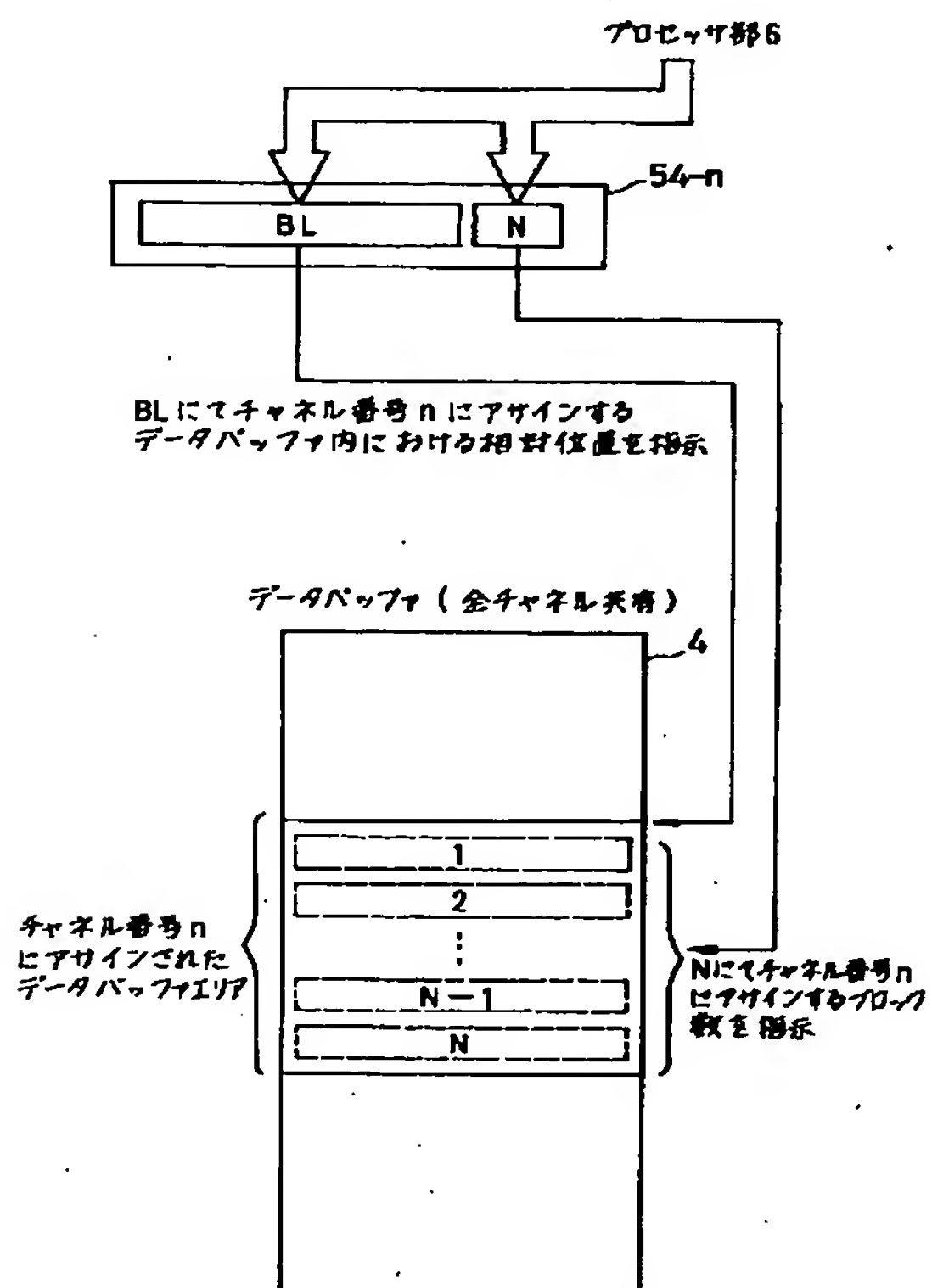
【図5】



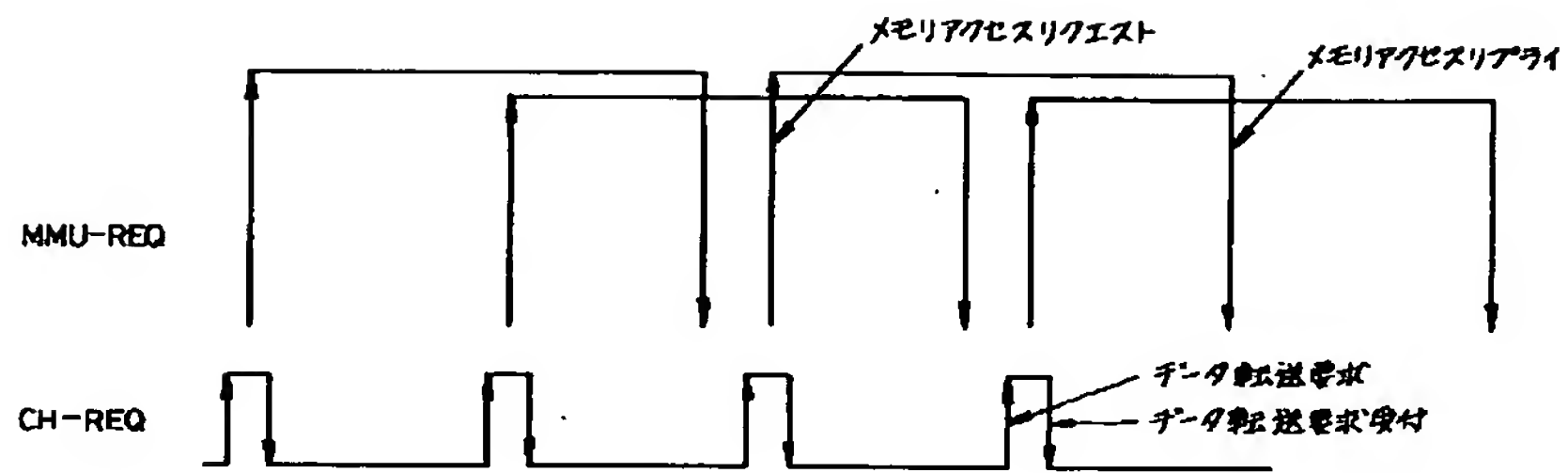
【図2】



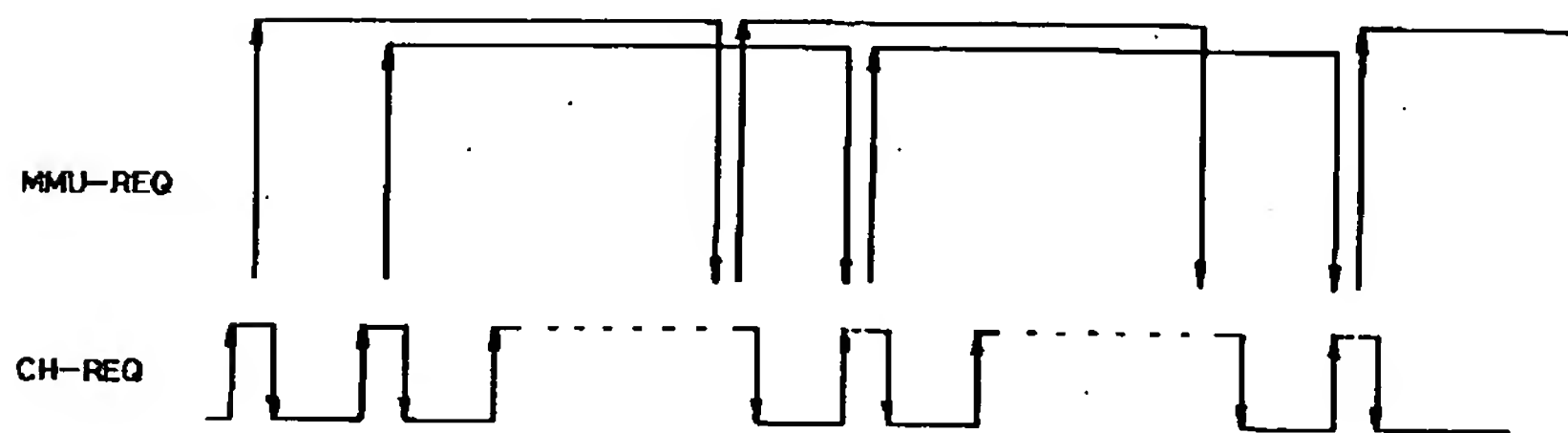
【図3】



【図6】



【図7】





8. Arbitration and Latency Requirements

8.1. Bridge Interface Priority

Because of the initial latency requirements of the *PCI Local Bus Specification*, bridges are required to implement⁶ Delayed Transactions to complete non-posted transactions that cross from one interface to the other. Bridges are not required to give one interface priority over the other but are required to allow fair arbitration between the interfaces.

8.2. Secondary Interface Arbitration Requirements

Every bus segment in a PCI system requires an arbiter. Since a bridge creates a new bus segment, it is anticipated that an arbiter will be a common bridge feature. However, a bridge is not required to provide an integral arbiter.

It is recommended that a bridge provide the arbiter for the secondary bus. If the bridge does provide the arbiter, it must adhere to the arbitration requirements of the *PCI Local Bus Specification*. The arbiter is required to use some type of fairness algorithm. The following excerpt is from the *PCI Local Bus Specification* and is included here for convenience of the reader. Refer to the *PCI Local Bus Specification* for full details.

An agent requests the bus by asserting its REQ#. Agents must only use REQ# to signal a true need to use the bus. An agent must never use REQ# to “park” itself on the bus. If bus parking is implemented, it is the arbiter that designates the default owner. When the arbiter determines an agent may use the bus, it asserts the agent's GNT#.

⁶ There are a few conditions where a bridge can meet the initial latency requirements for non-posted transactions without using Delayed Transactions. If this option is used, the bridge must give priority to downstream accesses when requests reach the bridge on both interfaces at the same time.